

Docket No.: P2001,0377

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: January 15, 2004

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/724,905  
Applicant : Judith Maget  
Filed : December 1, 2003

Docket No. : P2001,0377  
Customer No.: 24131

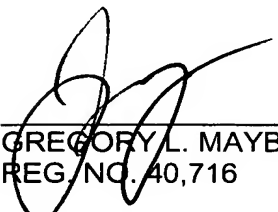
CLAIM FOR PRIORITY

Mail Stop: Missing Parts  
Hon. Commissioner for Patents,  
Alexandria, VA 22313-1450  
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 101 26 328.7, filed May 30, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

  
\_\_\_\_\_  
GREGORY L. MAYBACK  
REG. NO. 40,716

Date: January 15, 2004

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/av

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 101 26 328.7  
**Anmeldetag:** 30. Mai 2001  
**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE  
**Bezeichnung:** Integrierte, abstimmbare Kapazität  
**IPC:** H 01 L 27/08

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 13. November 2003  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

Hoiß

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## Beschreibung

## Integrierte, abstimmbare Kapazität

- 5 Die vorliegende Erfindung betrifft eine integrierte, abstimmbare Kapazität.

Integrierte, abstimmbare Kapazitäten werden in großen Stückzahlen zum Aufbau von Schwingkreisen eingesetzt. Derartige  
10 Schwingkreise sind beispielsweise als LC-Oszillator aufgebaut, bei denen üblicherweise die Kapazität als frequenzverstimmendes Element ausgebildet ist. Die ebenfalls die Schwingkreis-Frequenz bestimmenden Induktivitäten, welche üblicherweise in Form von Spulen realisiert werden, weisen da-  
15 bei normalerweise einen konstanten Induktivitätswert auf.

Spannungsgesteuerte Oszillatoren (VCO, Voltage Controlled Oscillator) haben als Ausgangssignal ein frequenzverstellbares Hochfrequenzsignal, welches in Abhängigkeit von einer  
20 eingangsseitig anliegenden Spannung verstimmbar ist. Um einen großen Abstimmbereich, englisch tuning range, zu erzielen, ist aufgrund der bereits erwähnten, üblicherweise konstanten Induktivität anzustreben, ein großes Variationsverhältnis der Kapazität, das heißt einen großen Quotienten aus maximal und  
25 minimal einstellbarer Kapazität zu erhalten.

Weiterhin ist es, beispielsweise bei Anwendung der integrierten, abstimmbaren Kapazität in einem VCO wünschenswert, eine hohe Güte zu erhalten, da die Güte des LC-Schwingkreises quadratisch in das Phasenrauschen der Schaltung eingeht. Die Güte der abstimmbaren Kapazität ist dabei aus der Serienschaltung der variablen Kapazität C sowie eventuell vorhandenen Serienwiderständen R mit der Formel  $Q = 1/\omega RC$  bestimmbar; mit  $\omega$  gleich Betriebsfrequenz, R gleich Serienwiderstand und  
30 C gleich variable Kapazität. Es ist deshalb zur Erzielung hoher Güten anzustreben, den Serienwiderstand zur Kapazität  
35 möglichst klein zu machen.

Integrierte, abstimmbare Kapazitäten können in unterschiedlichen Technologien und mit unterschiedlichem Aufbau hergestellt sein. Bekannt sind beispielsweise:

5

Als abstimmbare Kapazitäten ausgebildete Kapazitätsdioden, welche entweder als single-ended- oder als differenziell ausgebildete Bauteile integriert sein können, vergleiche beispielsweise A.-S. Porret, T. Melly, C. C. Enz, E. A. Vittoz  
10 "Design of High-Q varactors for Low-Power Wireless Applications Using a Standard CMOS Process", IEEE Journal of Solid-State Circuits, Vol. 35, No. 3, March 2000, pp. 337-345.

15

Weiterhin können die abstimmbaren Kapazitäten auch als NMOS- oder PMOS-Feldeffekttransistoren mit kurzgeschlossenen Source-/Drain-Gebieten, beispielsweise in N-Wannen ausgebildet sein, siehe beispielsweise P. Andreani, S. Mattisson, "On the Use of MOS Varactors in RF VCO's", IEEE Journal of Solid-State Circuits, Vol. 35, No. 6, June 2000, pp. 905-910.

20

Aus der Druckschrift von M. Tiebout, "A Fully Integrated 1.3 GHz VCO for GSM in 0.25  $\mu\text{m}$  Standard CMOS with a Phasenoise of -142 dBc/Hz at 3 MHz Offset", European Microwave Week 2000, ist weiterhin ein VCO mit NMOS-Varaktoren bekannt.

Ein differentiell arbeitender PMOS-FET, ein NMOS-FET in einer n-Wanne sowie ein NMOS-FET in einer n-Wanne ohne verbundene Diffusionsgebiete sind aus der oben genannten Literaturstelle Porret et al bekannt.

30

Ein NMOS-Feldeffekttransistor gebildet in einer n-Wanne mit p+-Extraktionsgebieten ist in der Druckschrift F. Svelto et al: „A Three Terminal Varactor for RFIC's in Standard CMOS Technology", IEEE Transactions on Electron Devices, Band 47,  
35 Nr. 4, April 2000, Seiten 893-895 angegeben.

Schließlich ist in dem Aufsatz von Wallace Ming Yip Wong et al. "A Wide Tuning Range Gated Varactor", IEEE Journal of Solid-State Circuits, Vol. 35, No. 5, May 2000, pp. 773-779 ein sogenannter Gated Varactor angegeben.

5

Von den genannten bisherigen Lösungen zur Bereitstellung einer abstimmbaren Kapazität sind die als Gated Varaktor und als NMOS-Feldeffekttransistor, gebildet in einer n-Wanne mit p+ Extraktionsgebieten, ausgeführten Bauelemente diejenigen mit dem größtmöglichen Abstimmbereich. Dabei wird das Hochfrequenzsignal üblicherweise an den Gate-Anschluß angelegt, ein zweiter Anschluß zum Zuführen der Abstimmspannung benutzt und je nach Ausführung ein dritter Anschluß durch Anlegen einer weiteren Spannung zur Vergrößerung des Abstimmbereiches verwendet.

15

Die gesamte, effektive Kapazität eines derartigen Bauelements hängt von seinem jeweiligen Betriebszustand, wie Inversion, Verarmung oder Akkumulation beziehungsweise Anreicherung, ab, und ist durch die Spannungen an den genannten Knoten bestimmt. Die im allgemeinen konstanten, parasitären Kapazitäten eines derartigen Bauteils gehen dabei im allgemeinen stets additiv ein.

20

In Inversion, wie auch in Akkumulation, ergibt sich die maximal erzielbare Kapazität als Summe von Gate-Oxid-Kapazität, bestimmt durch Gate-Fläche und Dicke der Gate-Oxid-Schicht, und aus den konstanten, parasitären Kapazitäten zwischen Gate und den Source-/Drain-Gebieten. Die minimal erzielbare Kapazität hingegen ergibt sich in Verarmung als Serienschaltung der Gate-Oxid-Kapazität und der Verarmungs- oder Depletion-Kapazität und parallel dazu den konstanten, parasitären Kapazitäten zwischen Gate und den Source-/Drain-Gebieten. Bei gegebener Gate-Fläche und gegebener Technologie, welche die Gate-Oxid-Schichtdicke bestimmt, kann eine Vergrößerung des Abstimmbereichs folglich nur durch Verringerung der minimalen Kapazität und/oder der konstanten Kapazitäten erfolgen.

30

35

Um bei einer beispielsweise Verwendung der abstimmbaren Kapazität in einem LC-VCO annehmbares Phasenrauschen des VCOs zu erhalten, ist es wünschenswert auch in dem LC-Kreis Serienwiderstände, wie oben erläutert, gering zu halten.

Hierfür werden, wie bei Hochfrequenztransistoren üblich, sogenannte Fingerstrukturen sowie Transistoren mit geringer Gate-Länge verwendet. Die parasitären Kapazitäten sind hingegen weitgehend unabhängig von der Gate-Länge. Lediglich der variable Teil der Kapazitäten sinkt mit der Gate-Länge. Je kleiner also die Gate-Länge, desto größer sind die parasitären Kapazitäten im Vergleich zu den variablen Kapazitäten. Zum Erzielen höherer Güten muß man daher bisher in Kauf nehmen, einen geringeren Abstimmbereich zu erhalten. Auch der Umkehrschluß gilt: Je größer die Gate-Länge ist, desto weniger fallen die parasitären Kapazitäten ins Gewicht und demnach ist ein größerer Abstimmbereich erzielbar. Eine größere Gate-Länge führt jedoch zu steigenden Serienwiderständen und damit zu einer schlechteren Güte.

Aufgabe der vorliegenden Erfindung ist es, eine integrierte, abstimmbare Kapazität anzugeben, welche in Standard-Fertigungsprozessen produzierbar ist und welche einen vergrößerten Abstimmbereich aufweist.

Erfindungsgemäß wird die Aufgabe gelöst durch eine integrierte, abstimmbare Kapazität, umfassend

- einen Halbleiterkörper mit einem Halbleitergebiet von einem ersten Leitfähigkeitstyp,
- ein erstes isolierendes Gebiet, welches an das Halbleitergebiet angrenzt,
- eine Steuer-Elektrode, die auf dem ersten isolierenden Gebiet angeordnet ist, zum Anlegen einer Steuerspannung, und
- ein erstes Gebiet von einem zweiten Leitfähigkeitstyp, welches in den Halbleiterkörper eingebracht ist und an das Halbleitergebiet anschließt, welches einen hochdotierten

Bereich vom zweiten Leitfähigkeitstyp zum Zuführen einer Abstimmspannung aufweist und welches eine Schichtdicke hat, die größer ist als die maximale Tiefe einer Raumladungszone, die sich bei einem Gegenstand einstellt, der den Halbleiterkörper mit dem Halbleitergebiet vom ersten Leitfähigkeitstyp, das erste isolierende Gebiet, welches an das Halbleitergebiet angrenzt, und die Steuer-Elektrode, die auf dem ersten isolierenden Gebiet angeordnet ist, umfaßt, wenn die an die Steuer-Elektrode angelegte Steuerspannung innerhalb zulässiger Grenzen variiert wird.

Die beschriebene Raumladungszone mit maximaler Tiefe stellt sich demnach bei Variieren der Steuerspannung in einem maximal zulässigen Bereich an der Steuerelektrode unterhalb dieser, genauer unterhalb des ersten isolierenden Gebietes, dann ein, wenn das erste Gebiet vom zweiten Leitfähigkeitstyp nicht vorhanden wäre.

Alternativ oder zusätzlich ist die Schichtdicke des ersten Gebiets vom zweiten Leitfähigkeitstyp größer als die Ausdehnung derjenigen Raumladungszone, die sich um das erste Gebiet herum bei Anlegen einer maximal einstellbaren Abstimmspannung einstellt.

Als Schichtdicke des ersten Gebiets vom zweiten Leitfähigkeitstyp ist die Ausdehnung desselben in einer orthogonalen Richtung bezüglich der aktiven Vorderseite des Halbleiterkörpers verstanden.

Der Halbleiterkörper kann an einem festen Potential, beispielsweise Bezugspotential liegen.

Als Steuerspannung ist diejenige Spannung verstanden, die zwischen Steuer-Elektrode und Halbleiterkörper abfällt.

Als Abstimmspannung ist diejenige Spannung verstanden, die zwischen erstem Gebiet vom zweiten Leitfähigkeitstyp und



Halbleiterkörper abfällt. Abstimmspannung und Steuerspannung beeinflussen die Kapazität des Varaktors.

- In Abhängigkeit von einer zwischen Steuerelektrode und erstem Gebiet vom zweiten Leitfähigkeitstyp angelegten Spannung bildet sich unter der Gate-Elektrode eine Raumladungszone aus, welche eine spannungsabhängige Kapazitätsänderung der vorliegenden abstimmbaren Kapazität bewirkt. Der Erfindung liegt die Erkenntnis zugrunde, daß mit zunehmender Tiefe, das heißt Schichtdicke des ersten Gebiets vom zweiten Leitfähigkeitstyp, welches zum Anlegen der Abstimmspannung vorgesehen ist, die Raumladungszone spannungsabhängig weiter in die Tiefe des Halbleiterkörpers reicht, wodurch die minimale Kapazität verkleinert wird. Damit kann ein größerer Abstimbereich, das heißt ein größeres Variationsverhältnis von maximaler zu minimal einstellbarer Kapazität erzielt werden. Dabei ist das Halbleitergebiet unterhalb der Steuer-Elektrode von geringer Dotierstoffkonzentration, das heißt schwach dotiert.
- Die vorliegende, integrierte abstimmbare Kapazität beruht auf einem NMOS-Feldeffekttransistor und kann so interpretiert werden, daß üblicherweise vorgesehene Source-/Drain-Gebiete, welche miteinander zur Bildung eines Varaktors kurzgeschlossen sind, eine bezüglich üblicher Source-/Drain-Gebiete in Standard-CMOS-Fertigungsprozessen signifikant erhöhte Schichtdicke haben.

Hierfür kann das erste Gebiet vom zweiten Leitfähigkeitstyp beispielsweise entweder mit einem wannenförmigen Gebiet unterlegt sein, oder es kann anstelle eines in CMOS-Technik hergestellten Source-/Drain-Gebiets beispielsweise ein in Bipolar-Fertigungstechnik hergestelltes Kollektortiefimplantationsgebiet vorgesehen sein, wie später näher erläutert.

- Die in größere Tiefen im Halbleiterkörper reichenden Gebiete vom zweiten Leitfähigkeitstyp bewirken bei geeigneter Dimensionierung und geeignetem Abstand neben der tieferen Ausdeh-

nung der zugehörigen Raumladungszonen bei Anlegen einer Abstimmspannung zudem, daß das Gebiet unterhalb des ersten isolierenden Gebiets im Halbleitergebiet völlig von beweglichen Ladungsträgern ausräumbar ist. Bei zunehmender, angelegter Abstimmspannung ist die Raumladungskapazität des vorliegenden Gegenstands im Vergleich zu herkömmlichen Varaktoren stark verringert, so daß die minimal einstellbare Gesamtkapazität stark sinkt. Dies bedeutet, daß das Variationsverhältnis beziehungsweise der Abstimmungsbereich deutlich verbessert ist. Die maximal einstellbare Kapazität ist in Inversion dadurch erreichbar, daß in Abhängigkeit der anliegenden Spannung die Raumladungszonen immer kleiner werden, so daß die Raumladungskapazität immer größer wird und gegen unendlich geht. Die Gesamtkapazität ergibt sich dann zu der Kapazität des ersten isolierenden Gebiets, welche bezüglich der Gesamtkapazität des Varaktors in Serie zur spannungsabhängigen Raumladungszonenkapazität geschaltet ist. Parallel zu dieser Serienschaltung aus Gateoxidkapazität und Raumladungszonenkapazität sind weitere parasitäre Kapazitäten geschaltet, die sich aus Randeffekten und Überlappungen ergeben können.

Da lediglich das zumindest eine, erste Gebiet vom zweiten Leitfähigkeitstyp bezüglich herkömmlichen NMOS-Varaktoren mit einer größeren Tiefe zu versehen ist, kann der beschriebene Varaktor mit großem Abstimmungsbereich in einfacher Weise in Standard-Herstellungsverfahren produziert werden.

In einer vorteilhaften Ausführungsform der vorliegenden Erfindung ist ein zweites Gebiet vom zweiten Leitfähigkeitstyp vorgesehen, welches symmetrisch zum ersten Gebiet vom zweiten Leitfähigkeitstyp angeordnet ist, einen hochdotierten Bereich zum Zuführen der Steuerspannung umfaßt und die Schichtdicke des ersten Gebiets vom zweiten Leitfähigkeitstyp hat.

Bezüglich einer Symmetrieachse durch die Steuerelektrode und das erste isolierende Gebiet ist das zweite Gebiet vom zweiten Leitfähigkeitstyp achsensymmetrisch zum ersten Gebiet vom

zweiten Leitfähigkeitstyp angeordnet. Anschlüsse zum Zuführen der Steuerspannung von erstem und zweitem Gebiet vom zweiten Leitfähigkeitstyp sind zum Betrieb einer derartigen Anordnung als Varaktor in einer externen Beschaltung kurzzuschließen.

5 Der weitere Anschluß der abstimmbaren Kapazität ist die Steuerelektrode.

Abhängig von der Abstimmspannung bilden sich um beide Gebiete vom zweiten Leitfähigkeitstyp jeweils Raumladungszonen aus,  
10 welche zum Erzielen eines großen Variationsverhältnisses unterhalb der Steuerelektrode bei maximaler Ausdehnung zusammenwachsen. Hierfür ist auch der Abstand der Gebiete vom zweiten Leitfähigkeitstyp zueinander abhängig von den Dotierungsverhältnissen und dem maximal zulässigen Spannungsbe-  
15 reich geeignet einzustellen.

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung ist zwischen dem ersten Gebiet vom zweiten Leitfähigkeitstyp und dem Halbleitergebiet unterhalb der  
20 Steuerelektrode ein zweites isolierendes Gebiet in dem Halbleiterkörper eingebracht.

Das zweite isolierende Gebiet kann beispielsweise als sogenanntes Dickoxidgebiet mit einer größeren Schichtdicke bezüglich der ersten isolierenden Schicht unterhalb der Steuerelektrode ausgebildet und beispielsweise in Form eines sogenannten Shallow Trench Isolation-Gebiets, STI, ausgeführt sein. Das Einfügen eines derartigen isolierenden Gebiets in den Halbleiterkörper bewirkt eine noch weitere Vergrößerung  
30 des Abstimbereichs, da die parasitären Überlapp- und Randkapazitäten verringert sind.

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung ist die Schichtdicke des ersten Gebiets vom  
35 zweiten Leitfähigkeitstyp deutlich größer als die Schichtdicke des zweiten isolierenden Gebietes.

Die größere Schichtdicke des ersten Gebiets vom zweiten Leitfähigkeitstyp gegenüber dem zweiten isolierenden Gebiet ermöglicht, daß eine laterale Ausdehnung, beispielsweise bei Ausführung des ersten Gebiets vom zweiten Leitfähigkeitstyp als Kollektortiefimplantationsgebiet, unterhalb des zweiten isolierenden Gebiets entlang stattfindet. Hierdurch wird der Serienwiderstand der abstimmbaren Kapazität verringert, was wiederum eine Verbesserung der Güte der abstimmbaren Kapazität bewirkt.

Selbstverständlich kann bei der beschriebenen symmetrischen Ausführung der Kapazität mit zwei Gebieten vom zweiten Leitfähigkeitstyp entsprechend ein weiteres, zweites isolierendes Gebiet in den Halbleiterkörper ebenfalls symmetrisch zu einer Achse durch die Steuerelektrode und senkrecht zur aktiven Vorderseite des Halbleiterkörpers vorgesehen sein.

Während eine beschriebene laterale Ausdehnung der Gebiete vom zweiten Leitfähigkeitstyp unterhalb der zweiten isolierenden Gebiete erwünscht ist, ist jedoch darauf zu achten, daß diese nicht über die zweiten isolierenden Gebiete hinaus in das Halbleitergebiet unterhalb der Steuerelektrode reicht.

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung ist das erste Gebiet vom zweiten Leitfähigkeitstyp vollständig als hochdotiertes Gebiet ausgebildet.

Neben der bereits beschriebenen Vorteile bezüglich des Abstimmbereichs durch tiefere Raumladungszonen ermöglicht die vollständige Ausbildung des ersten Gebiets vom zweiten Leitfähigkeitstyp als hochdotiertes Gebiet eine weitere Verringerung des Serienwiderstands des Varaktors und damit eine noch weitere Verbesserung der Güte.

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung ist das erste Gebiet vom zweiten Leitfähig-

keitstyp als Kollektortiefimplantationsgebiet in einer bipolaren Fertigungstechnik gebildet.

Beispielsweise in BiCMOS-Fertigungsprozessen kann ein derartiges Kollektortiefimplantationsgebiet in einfacher Weise hergestellt werden. Demnach ist ein derartiger Varaktor mit verhältnismäßig geringem Aufwand in Massenherstellungsverfahren bei zugleich großem Abstimmbereich und hoher Güte herstellbar.

10

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung ist eine vergrabene Schicht vorgesehen, welche an das erste Gebiet vom zweiten Leitfähigkeitstyp angrenzt.

15 Die vergrabene Schicht verläuft bevorzugt unterhalb des Halbleitergebiets, welches unterhalb des ersten isolierenden Gebiets angeordnet ist und parallel zu demselben sowie parallel zur aktiven Vorderseite des Halbleiterkörpers verläuft. Mit der vergrabenen Schicht, einem sogenannten Buried Layer, ist  
20 eine noch weitere Verringerung des Serienwiderstands ermöglicht.

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung weist das erste Gebiet vom zweiten Leitfähigkeitstyp ein wannenförmiges Gebiet vom zweiten Leitfähigkeitstyp auf, welches an ein hochdotiertes Anschlußgebiet vom zweiten Leitfähigkeitstyp anschließt.

Anstelle der beschriebenen Kollektortiefimplantationsgebiete  
30 können das oder die Gebiete vom zweiten Leitfähigkeitstyp auch als wannenförmige Gebiete ausgebildet sein, welche jeweils an ein hochdotiertes Anschlußgebiet vom gleichen Leitfähigkeitstyp anschließen. Das wannenförmige Gebiet reicht dabei in eine deutlich größere Tiefe in den Halbleiterkörper  
35 orthogonal zu dessen aktiver Vorderseite und von der aktiven Vorderseite aus betrachtet hinein als das hochdotierte Anschlußgebiet selbst, welches beispielsweise in einem CMOS-

Fertigungs-schritt als Source-/Drain-Anschlußgebiet ausgebildet sein kann.

5 Auch die Ausbildung verhältnismäßig niedrig dotierter Wannen ist in den Standard-CMOS-Halbleiterprozessen ohne zusätzlichen Aufwand durchführbar bei zugleich deutlicher Verbesserung des Abstimmbereichs des Varaktors.

10 In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung ist ein Gebiet zum Anschluß an Bezugspotential vorgesehen, welches vom ersten Leitfähigkeitstyp sowie hochdotiert und in das Halbleitergebiet eingebracht ist.

15 Das Gebiet zum Anschluß an Bezugspotential ist bevorzugt entlang der aktiven Vorderseite des Halbleitergebiets angeordnet und hat bevorzugt gemeinsame Grenzflächen mit dem ersten isolierenden Gebiet sowie gegebenenfalls mit dem zweiten isolierenden Gebiet.

20 Diese Direktanbindung an einen Bezugspotential- beziehungsweise Substratanschluß kann eine noch weitere Verbesserung der Güte der Anordnung bewirken.

5 In einer weiteren, vorteilhaften Ausführungsform der vorliegenden Erfindung hat das erste Gebiet vom zweiten Leitfähigkeitstyp je eine gemeinsame Grenzfläche mit dem ersten isolierenden Gebiet und mit dem Halbleitergebiet unterhalb der Steuerelektrode.

30 Mit einer derartigen Direktanbindung des ersten isolierenden Gebiets an ein Gebiet vom zweiten Leitfähigkeitstyp zum Zuführen der Abstimmspannung an verhältnismäßig wenigen Stellen im Halbleiter ist eine weitere Verbesserung der Güte erzielbar. Zudem ist sichergestellt, daß die maximale Kapazität der  
35 Anordnung durch Inversion des Gebiets unterhalb der Steuerelektrode erreicht werden kann.

Die beschriebene abstimmbare Kapazität ist bevorzugt in einer von Hochfrequenztransistoren bekannten sogenannten Fingerstruktur mit mehreren, parallel verlaufenden Steuerelektroden- beziehungsweise Gatebahnen ausgebildet. Sowohl die  
5 letztgenannte Direktanbindung, sowie auch die Anbindung an Bezugspotential mit einem Gebiet vom ersten Leitfähigkeitstyp nehmen bezogen auf die gesamte Chipfläche, die die abstimmbare Kapazität einnimmt, nur einen verhältnismäßig geringen Flächenanteil ein.

10

Weitere Einzelheiten der Erfindung sind Gegenstand der Unteransprüche.

15

Die Erfindung wird nachfolgend an mehreren Ausführungsbeispielen anhand der Zeichnung näher erläutert.

Es zeigen:

20

Figur 1 ein erstes Ausführungsbeispiel der vorliegenden Erfindung in BiCMOS-Fertigungstechnik,

Figur 2 ein weiteres Ausführungsbeispiel der Erfindung in BiCMOS-Fertigungstechnik,

25

Figur 3 ein weiteres Ausführungsbeispiel der Erfindung in BiCMOS-Fertigungstechnik,

30

Figur 4 ein Ausführungsbeispiel der vorliegenden Erfindung in CMOS-Fertigungstechnik,

Figur 5 die Verhältnisse gemäß Figur 4 mit maximaler Raumladungszone an den Gebieten vom zweiten Leitfähigkeitstyp,

35

Figur 6 eine Weiterbildung der Anordnung gemäß Figur 4 mit Anschluß an Bezugspotential,

Figur 7 eine Weiterbildung gemäß Figur 4 mit STI,

Figur 8 eine Weiterbildung gemäß Figur 7 mit Direktanschluß eines Source-/Drain-Gebiets an Gateoxid,

5

Figur 9 eine Weiterbildung gemäß Figur 7 mit Direktanschluß an Bezugspotential und

10

Figur 10 die Ausbildung einer Raumladungszone bei einer Anordnung ohne Gebiete vom zweiten Leitfähigkeitstyp zu Definitionszwecken.

15

20

25

30

35

Figur 1 zeigt einen vereinfachten Querschnitt durch ein erstes Ausführungsbeispiel einer erfindungsgemäßen, abstimmbaren und integrierten Kapazität. Dabei ist ein Halbleiterkörper 1 vorgesehen, welcher ein P-Substrat aufweist, mit einem Halbleitergebiet 2, welches ebenfalls leicht P-dotiert ist. Oberhalb des Halbleitergebiets 2 ist als erste isolierende Schicht eine Gateoxidschicht 3 aufgebracht, auf der eine Gate-Elektrode 4, ausgebildet als polykristalline Schicht, angeordnet ist. Benachbart zum Halbleitergebiet 2 ist jeweils eine zweite isolierende Schicht 5, ausgebildet als Dickoxidgebiet mit einer Schichtdicke B, in den Halbleiterkörper 1 eingebracht. Diese zweiten isolierenden Schichten 5 haben je eine gemeinsame Grenzfläche mit dem ersten isolierenden Gebiet 3, mit dessen Begrenzungen sie an je einer Seite bündig abschließen, sowie mit dem Halbleitergebiet 2 unterhalb der Gate-Elektrode 4. Benachbart zu den ersten isolierenden Gebieten 3 und jeweils gegenüberliegend zum Halbleitergebiet 2 ist im Halbleiterkörper 1 je ein Gebiet 6 von einem zweiten Leitfähigkeitstyp N, ausgebildet als hochdotiertes N<sup>+</sup>-Kollektortiefimplantationsgebiet, eingebracht, mit einer Schichtdicke A. Die Schichtdicke A der Kollektortiefimplantationsgebiete 6 ist dabei deutlich größer als die Schichtdicke B der Dickoxidgebiete 5, jeweils gemessen senkrecht zur aktiven Vorderseite des Halbleiterkörpers 1. Zum Beispiel aufgrund von lateraler Diffusion reicht dieses Kollektortie-



fimplantationsgebiet 6 jeweils unterhalb des ersten isolierenden Gebiets 3 und ist damit unmittelbar dem Halbleitergebiet 2 unterhalb der Gateelektrode 4 benachbart. Diese N+-Kollektortiefimplantationsgebiete 6 sind weiterhin begrenzt durch die aktive Vorderseite des Halbleiterkörpers 1 sowie durch eine vergrabene Schicht 7, welche parallel zum ersten isolierenden Gebiet 3 und parallel zur aktiven Vorderseite des Halbleiterkörpers 1 verläuft und an die Kollektortiefimplantationsgebiete 6 angrenzt. Die vergrabene Schicht 7 ist ebenfalls vom zweiten Leitfähigkeitstyp N sowie hochdotiert N+.

Bei vorliegendem Gegenstand gemäß Figur 1 ist eine Abstimmungsspannung zwischen den kurzzuschließenden Anschlüssen an den Kollektortiefimplantationsgebieten 6 und dem Halbleiterkörper 1 zuführbar. Mit zunehmender Abstimmungsspannung bilden sich um die Kollektortiefimplantationsgebiete 6 jeweils Raumladungszonen aus, welche bezüglich herkömmlicher Varaktoren deutlich vergrößert sind, wodurch die minimal einstellbare Kapazität des Varaktors sinkt und damit der Abstimmungsbereich vergrößert ist.

Figur 2 zeigt anhand eines Querschnitts ein weiteres Ausführungsbeispiel der vorliegenden Erfindung, jedoch mit einer Direktanbindung des N+-Kollektortiefimplantationsgebiets 6 an das erste isolierende Gebiet 3 in einer Weiterbildung der Anordnung von Figur 1. Die übrigen Merkmale der Anordnung entsprechen in Anordnung und Funktion denen, die bereits in Figur 1 erläutert sind.

Diese Direktanbindung des Kollektortiefimplantationsgebiets 6 an die isolierende Schicht 3 durch Weglassen eines der zweiten isolierenden Gebiete 5 ermöglicht eine Verbesserung der Güte des Varaktors. Um jedoch den hohen Abstimmungsbereich des Varaktors zu erhalten, weist der erfindungsgemäße Gegenstand den Querschnitt gemäß Figur 2 nur an verhältnismäßig wenigen

Stellen im Halbleiter auf, da parasitäre Überlapp- und Randkapazitäten gering bleiben.

Figur 3 zeigt eine noch weitere Weiterbildung einer abstimmbaren Kapazität gemäß Figur 1, mit einem Direktanschluß an Bezugspotential 8. Gemäß Figur 3 ersetzt das Bezugspotentialanschlußgebiet 8 an wenigen Stellen das Kollektortiefimplantationsgebiet 6 sowie eines der Dickoxidgebiete 5, grenzt an die aktive Vorderseite des Halbleiterkörpers 1 an und weist zusätzlich eine gemeinsame Grenzfläche mit dem Halbleitergebiet 2 unterhalb der Gateelektrode 4 sowie mit der Gateoxidschicht 3 auf. Wie auch die Direktanbindung des Kollektortiefimplantationsgebiets 6 an Gateoxid 3 gemäß Figur 2 ist auch das Bezugspotentialanschlußgebiet 8 gemäß Figur 3 lediglich an wenigen Stellen im Halbleiter vorgesehen. Mit dem Bezugspotentialanschlußgebiet 8 gemäß Figur 3 ist eine weitere Verbesserung der Güte des Varaktors möglich.

Während die Ausführungsbeispiele gemäß Figuren 1 bis 3 in einer BiCMOS-Fertigungstechnik hergestellt sind, kann der beispielhafte Gegenstand gemäß Figur 4, den diese anhand eines vereinfachten Querschnitts zeigt, in einem herkömmlichen CMOS-Fertigungsprozeß hergestellt werden. Auch bei dem Ausführungsbeispiel gemäß Figur 4 ist ein Halbleiterkörper 1 mit einem P-Substrat vorgesehen, an dessen aktiver Vorderseite eine erste isolierende Schicht 3 und darüber eine Gate-Elektrode 4 vorgesehen sind. Unterhalb der Gate-Elektrode 4 ist als Halbleitergebiet 2 das schwach dotierte P-Substratgebiet vorgesehen. Demnach ist unterhalb des Gate-Anschlusses 4 kein zusätzliches, dotiertes Gebiet in das P-Substrat 1 eingebracht. Angrenzend an die erste isolierende Schicht 3, die Gateoxidschicht, und benachbart zum Halbleitergebiet 2 sind in den Halbleiterkörper 1 jeweils N+-Anschlußgebiete 9 eingebracht, wie sie üblicherweise in CMOS-Technologie als Source-/Drain- und Wannan-Anschlußgebiete vorgesehen sind. Gegenüber den Source-/Drain-Gebieten eines CMOS-Transistors unterscheidet sich vorliegende Anordnung jedoch dadurch, daß an die N+-

Anschlußgebiete 9 jeweils eine N-Wanne 10 anschließt, welche eine deutlich größere Schichtdicke A als die Anschlußgebiete 9 aufweist. Diese N-Wannen sind bezüglich der N+-Anschlußgebiete 9 geringer dotiert und mit Bezugszeichen 10 versehen. Die N-Wannen 10 weisen eine Schichtdicke A auf, welche deutlich größer ist als die Schichtdicke der N+-Anschlußgebiete 9, jeweils gemessen orthogonal zur Vorderseite des Halbleiterkörpers 1 und ausgehend von dieser. Die N-Wannen 10 können die N+-Anschlußgebiete 9 nicht nur in die Tiefe in den Halbleiterkörper 1 hinein, sondern auch in lateraler Richtung umgeben.

In Abhängigkeit von der angelegten Abstimmspannung zwischen dem Halbleiterkörper 1 und den N+-Anschlußgebieten 9, welche extern miteinander kurzgeschlossen sind, bilden sich um die N-Wannengebiete 10 jeweils Raumladungszonen aus, welche gegenüber herkömmlichen CMOS-Varaktoren eine deutlich größere Tiefe in den Halbleiterkörper hinein erreichen, die sich aus der Summe A+D der Tiefe A der N-Wannen 10 selbst und der Ausdehnung D der Raumladungszone unterhalb der N-Wannen 10 berechnen und sich zudem je nach angelegter Spannung gegenseitig berühren, so daß insgesamt mit geringem Aufwand eine deutliche Verbesserung des Variationsverhältnisses erzielt ist, da die minimal einstellbare Kapazität geringer ist.

Figur 5 erläutert die Verhältnisse bei Berührung der Raumladungszonen der N-Wannen 10 und damit der Entstehung eines sehr tiefen, verarmten Gebietes unter der Gate-Elektrode 4. Hierfür ist Figur 5 gegenüber Figur 4 dahingehend ergänzt, daß zum einen die konstante Gateoxidkapazität  $C_{ox}$  und in Serie dazu die variable Raumladungskapazität  $C_{ja}$  eingezeichnet sind. Aufgrund dieser verhältnismäßig tiefreichenden und sich berührenden verarmten Gebiete um die N-Wannen 10 wird das Gebiet 2 unterhalb des Gateoxids 3 mindestens bis zur Tiefe A der N-Wannen 10 völlig von beweglichen Ladungsträgern ausgeräumt und hierdurch die Raumladungskapazität  $C_{ja}$  im Vergleich zu herkömmlichen Varaktoren stark verringert. Die minimal

einstellbare Gesamtkapazität sinkt hierdurch deutlich, wodurch auch der Abstimmbereich deutlich vergrößert ist. Der Varaktor ist so zu dimensionieren, daß die Tiefe A der N-Wannen 10 deutlich größer ist als die maximale Tiefe D der Raumladungszone um die N-Wannen 10 und/oder deutlich größer ist als die maximale Tiefe X der Raumladungszone unterhalb des Gateoxid-Gebiets 3, welche sich dann einstellen würde, wenn keine Gebiete vom zweiten Leitfähigkeitstyp 9, 10 vorhanden wären. Der Abstand der beiden N-Wannen 10 voneinander ist bevorzugt kleiner oder gleich der doppelten Ausdehnung D der Raumladungszonen um die N-Wannen, damit sichergestellt ist, daß sich die beiden Raumladungszonen um die N-Wannen 10 bei Verarmung berühren.

Die Gesamtkapazität berechnet sich dabei gemäß der Serienschaltung der Gateoxidkapazität und der Raumladungskapazität aus dem Kehrwert der Summe der reziproken Kapazitätswerte  $C_{ox}$ ,  $C_D$  der Serienschaltung.

Figur 6 zeigt eine Weiterbildung der Ausführungsform der Erfindung gemäß Figur 4 mit einem Bezugspotentialanschlußgebiet 8, welches in den Halbleiterkörper 1 eingebracht ist und zum einen an die aktive Vorderseite des Halbleiterkörpers 1 angrenzt und zum anderen an das Gateoxid 3 angrenzt. Das Halbleitergebiet 2, welches leicht P-dotiert ist, ist damit nach oben durch das Gateoxidgebiet 3 und seitlich zum einen von der N-Wanne 10 und zum anderen vom P+-Bezugspotentialanschlußgebiet 8 begrenzt. Das P+-Bezugspotentialanschlußgebiet 8 ist lediglich an wenigen Stellen des bevorzugt in einer Fingerstruktur ausgebildeten Varaktors vorgesehen, der demnach überwiegend mit einem Querschnitt gemäß Figur 4 ausgebildet ist. Mit dem gezeigten P+-Bezugspotentialanschlußgebiet 8 kann eine noch weitere Verbesserung der Güte des Varaktors erzielt sein.

35

Figur 7 zeigt eine Weiterbildung eines Varaktors gemäß Figur 4, bei dem zusätzlich zur beschriebenen Verbesserung des Va-

riationsverhältnisses durch tiefe N-Wannen 10 eine noch weitere Verbesserung des Variationsverhältnisses beziehungsweise des Abstimmbereichs dadurch erzielt ist, daß als STI, Shallow-Trench-Isolation, ausgebildete Dickoxidgebiete 5 in den Halbleiterkörper 1 an dessen aktiver Vorderseite angrenzend eingebracht sind. Die Dickoxidgebiete 5 haben je eine gemeinsame Grenzfläche mit dem Gateoxid 3 und begrenzen damit das Gebiet 2 unterhalb der Gateelektrode 4 seitlich. Weiterhin grenzen die Dickoxidgebiete 5 seitlich an die N+-Anschlußgebiete 9 des Varaktors, die als Source-/Drain-Gebiete ausgebildet sind, jedoch mit den bereits in Figur 4 beschriebenen N-Wannen 10 unterlegt sind. Das Gebiet 2 unterhalb des Gates 4 ist wiederum als leicht dotiertes P-Substrat ausgebildet. Die N-Wannen 10 sind so dimensioniert, daß ihre Schichtdicke A deutlich größer ist als die Schichtdicke B der Dickoxidgebiete 5. Mit den Dickoxidgebieten 5 werden die bei Figur 4 auftretenden Überlappungs- und Randkapazitäten, welche parallel zur Serienschaltung aus Raumladungskapazität und Gateoxidkapazität wirken, weiter verringert und damit das Variationsverhältnis weiter verbessert.

Figur 8 zeigt einen Querschnitt durch einen bezüglich Figur 7 weitergebildeten Gegenstand, der eine Verbesserung der Güte dadurch aufweist, daß an wenigen Stellen im Halbleiter eine Direktanbindung einer N-Wanne 10 oder vorteilhafterweise eines N+ Anschlußgebietes 9 an das Gateoxidgebiet 3 und auch an das Halbleitergebiet 2 unterhalb der Gateelektrode durch jeweils unmittelbar benachbarte Ausführung zu diesen Gebieten vorgesehen ist. Hierfür entfällt an wenigen Stellen ein STI 5 gemäß Figur 7 und ist ersetzt durch das N+-Gebiet 9 beziehungsweise durch die N-Wanne 10, welches in Richtung des Halbleitergebiets 2 unterhalb der Steuerelektrode 5 vergrößert ist und an die Steuerelektrode 4 und das Gateoxidgebiet 3 angrenzt.

Figur 9 zeigt eine Weiterbildung des Gegenstands gemäß Figur 7 mit einer bereits mehrfach erläuterten Direktanbindung des

Gateoxidgebiets 3 sowie des Gebiets 2 unter der Steuerelektrode 4 mit einem P-Anschlußgebiet 8, welches in den Halbleiterkörper 1 an dessen aktiver Vorderseite eingebracht ist und an das Gateoxidgebiet 3 angrenzt. Die Direktanschlußgebiete an Gateoxid 3 und Halbleitergebiet 2 gemäß Figuren 8 und 9 sind, wie bereits zuvor beschrieben, aus Gründen der Beibehaltung des guten Abstimmbereichs lediglich an wenigen Stellen im Halbleiter vorgesehen, so daß ein beispielsweise in einer Fingerstruktur ausgebildeter Varaktor gemäß Figuren 7 bis 9 an dem überwiegenden Anteil der Querschnitte einen Querschnitt gemäß Figur 7 hat. Die Direktanschlußgebiete gemäß Figuren 8 führen zu einer weiter verbesserten Güte. Die Direktanschlußgebiete gemäß Figur 9 können zu einer noch weiter verbesserten Güte beitragen.

Figur 10 zeigt einen als P-Substrat ausgebildeten Halbleiterkörper 1, mit einem Halbleitergebiet 2, auf dem eine Gate-Oxidschicht 3 aufgebracht ist. Über der Gate-Oxidschicht 3 ist eine Steuer-Elektrode 4 angeordnet. Bei Variieren einer Steuer-Spannung, die an die Steuer-Elektrode 4 anlegbar ist, innerhalb zulässiger Grenzen, stellt sich im Halbleitergebiet 2 unterhalb des Gates eine Raumladungszone ein, die eine maximale Ausdehnung X in einer Richtung senkrecht zu einer Vorderseite des Halbleiterkörpers hat. Gemäß dem beschriebenen Prinzip soll die Tiefe A der in Figur 10 nicht vorhandenen Gebiete vom zweiten Leitfähigkeitstyp größer sein als die maximale Ausdehnung X.

Anstelle der beschriebenen Ausführung mit P-Substrat kann das erfindungsgemäße Prinzip selbstverständlich auch auf Fertigungsprozesse übertragen werden, bei denen N-Substrat zum Einsatz kommt. Alle weiteren, in den Ausführungsbeispielen genannten Gebiete sind dabei mit dem umgekehrten Leitfähigkeitstyp auszubilden, die Dotierstoffkonzentrationen hingegen können weitgehend erhalten bleiben.

## Patentansprüche

1. Integrierte, abstimmbare Kapazität, umfassend

- einen Halbleiterkörper (1) mit einem Halbleitergebiet (2)  
5 von einem ersten Leitfähigkeitstyp (P),
- ein erstes isolierendes Gebiet (3), welches an das Halbleitergebiet (2) angrenzt,
- eine Steuer-Elektrode (4), die auf dem ersten isolierenden Gebiet (3) angeordnet ist, zum Anlegen einer Steuerspannung, und  
10
- ein erstes Gebiet (6, 10) von einem zweiten Leitfähigkeitstyp (N), welches in den Halbleiterkörper (1) eingebracht ist und an das Halbleitergebiet (2) anschließt, welches einen hochdotierten Bereich (N+) vom zweiten Leitfähigkeitstyp (N) zum Zuführen einer Abstimmspannung aufweist und  
15 welches eine Schichtdicke (A) hat, die größer ist als die maximale Tiefe (X) einer Raumladungszone, die sich bei einem Gegenstand einstellt, der den Halbleiterkörper (1) mit dem Halbleitergebiet (2) vom ersten Leitfähigkeitstyp (P),  
20 das erste isolierende Gebiet (3), welches an das Halbleitergebiet (2) angrenzt, und die Steuer-Elektrode (4), die auf dem ersten isolierenden Gebiet (3) angeordnet ist, umfaßt, wenn die an die Steuer-Elektrode (4) angelegte Steuerspannung innerhalb zulässiger Grenzen variiert wird.

2. Kapazität nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß  
ein zweites Gebiet (6, 10) vom zweiten Leitfähigkeitstyp (N)  
vorgesehen ist, welches symmetrisch zum ersten Gebiet (6, 10)  
30 vom zweiten Leitfähigkeitstyp (N) angeordnet ist, einen hochdotierten Bereich (N+) zum Zuführen der Steuerspannung aufweist und die Schichtdicke (A) des ersten Gebiets (6, 10) hat.

35 3. Kapazität nach Anspruch 1 oder 2,

d a d u r c h g e k e n n z e i c h n e t, daß

zwischen dem ersten Gebiet (6, 10) vom zweiten Leitfähigkeitstyp (N) und dem Halbleitergebiet (2) unterhalb der Steuerelektrode (4) ein zweites isolierendes Gebiet (5) in den Halbleiterkörper eingebracht ist.

5

4. Kapazität nach Anspruch 3, dadurch gekennzeichnet, daß die Schichtdicke (A) des ersten Gebiets (6, 10) vom zweiten Leitfähigkeitstyp (N) größer ist als die Schichtdicke (B) des zweiten isolierenden Gebiets (5).

10

5. Kapazität nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß das erste Gebiet (6) vom zweiten Leitfähigkeitstyp (N) vollständig als hochdotiertes Gebiet (N+) ausgebildet ist.

15

6. Kapazität nach Anspruch 5, dadurch gekennzeichnet, daß das erste Gebiet (6) vom zweiten Leitfähigkeitstyp (N) als Kollektortiefimplantationsgebiet in bipolaren Fertigungstechnik ausgebildet ist.

20

7. Kapazität nach Anspruch 5 oder 6, dadurch gekennzeichnet, daß eine vergrabene Schicht (7) vorgesehen ist, welche an das erste Gebiet (6) vom zweiten Leitfähigkeitstyp (N) angrenzt.

8. Kapazität nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß das erste Gebiet vom zweiten Leitfähigkeitstyp (N) ein wannenförmiges Gebiet (10) vom zweiten Leitfähigkeitstyp (N) aufweist, welches an ein hochdotiertes Anschlußgebiet (9) vom zweiten Leitfähigkeitstyp (N+) anschließt.

30

9. Kapazität nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß

35



ein Gebiet zum Anschluß an Bezugspotential (8) vorgesehen ist, welches vom ersten Leitfähigkeitstyp (P) sowie hochdotiert (P+) und in den Halbleiterkörper (1) angrenzend an das Halbleitergebiet (2) unterhalb der Steuer-Elektrode (4) eingebracht ist.

5

10. Kapazität nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß das erste Gebiet (6, 10) vom zweiten Leitfähigkeitstyp (N) je eine gemeinsame Grenzfläche mit dem ersten isolierenden Gebiet (3) und dem Halbleitergebiet (2) unterhalb der Steuerelektrode (4) hat.

10

## Zusammenfassung

## Integrierte, abstimmbare Kapazität

- 5 Es ist eine integrierte, abstimmbare Kapazität angegeben, welche bezüglich herkömmlichen CMOS-Varaktoren dahingehend weitergebildet ist, daß anstelle üblicher Source-/Drain-Anschlußgebiete Anschlußgebiete mit einer deutlich größeren Tiefe in den Halbleiterkörper hinein (A, 1) vorgesehen sind.
- 10 Hierzu können beispielsweise wannenförmige Gebiete oder Kollektortiefimplantationsgebiete (10, 6) vorgesehen sein, mit denen die bei großen Abstimmspannungen auftretenden verarmten Gebiete deutlich weiter in den Halbleiterkörper (1) hineinreichen. Der erfindungsgemäße Varaktor mit großem Abstimm-
- 15 reich ist ohne zusätzlichen Aufwand in Massenherstellungsverfahren produzierbar und beispielsweise in Phasenregelschleifen einsetzbar.

Figur 5

## Bezugszeichenliste

	1	Halbleiterkörper
	2	Halbleitergebiet
5	3	Gateoxid
	4	Gateelektrode
	5	Dickoxid
	6	Kollektortiefimplantation
	7	vergrabene Schicht
10	8	Bezugspotentialanschlußgebiet
	9	Anschlußgebiet
	10	Wanne
	A	Schichtdicke
	B	Schichtdicke
15	D	Raumladungszonentiefe
	X	Raumladungszonentiefe

Fig. 1

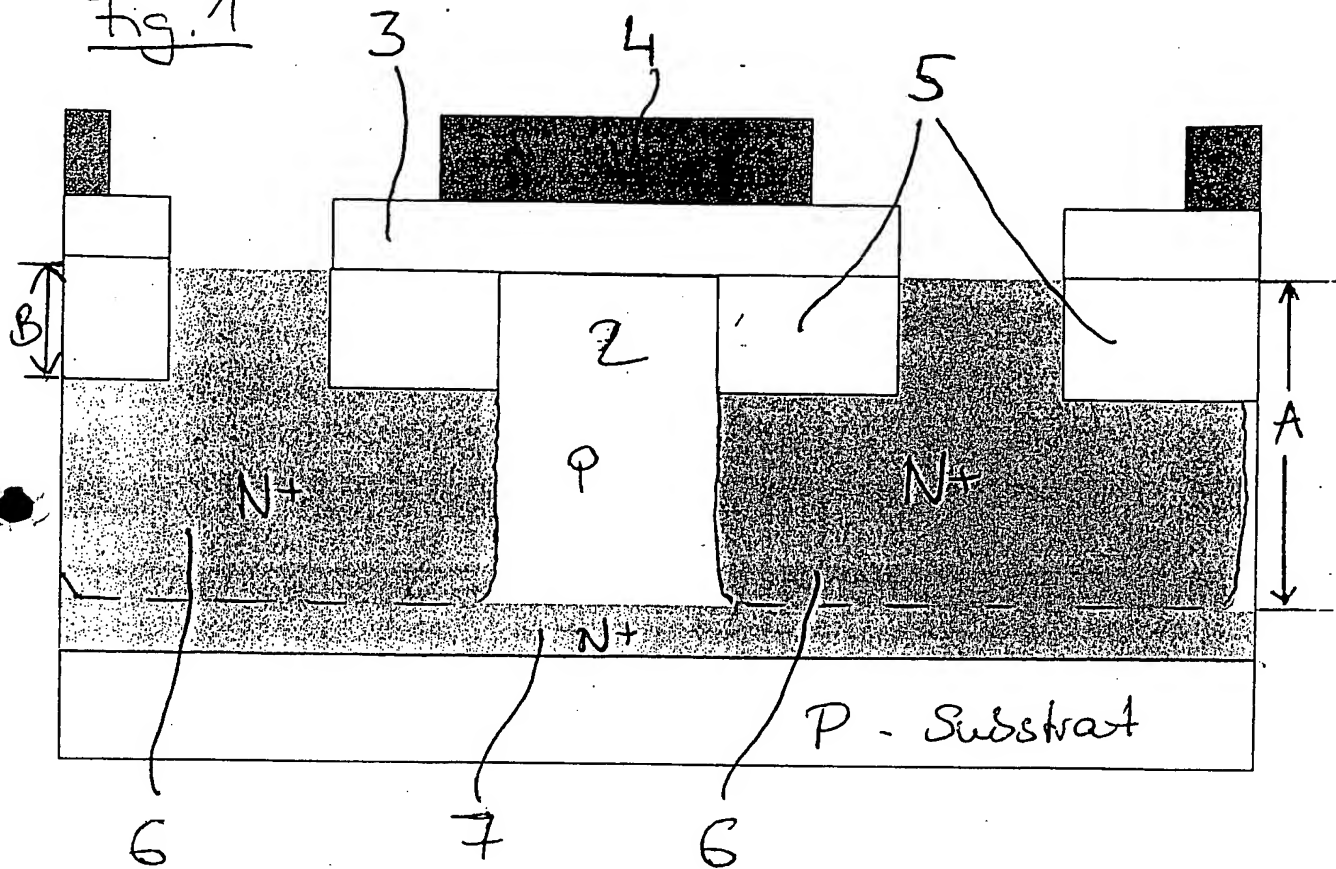


Fig 2

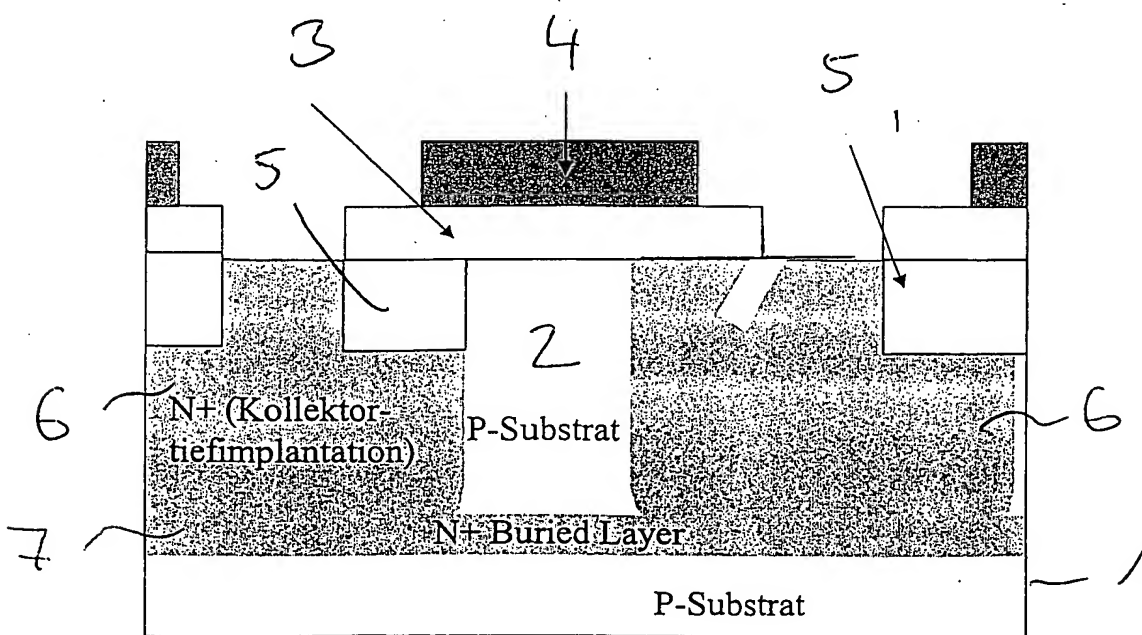


Fig. 3

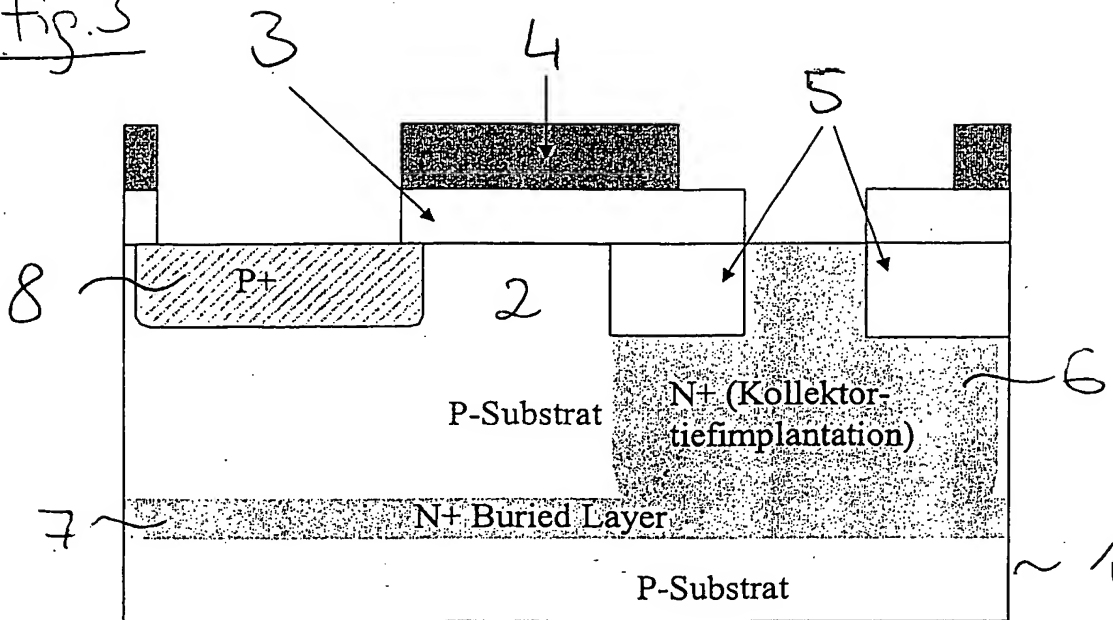


Fig. 4

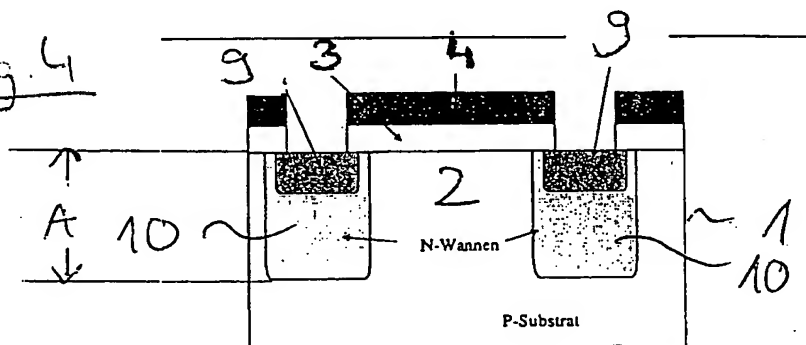


Fig. 5

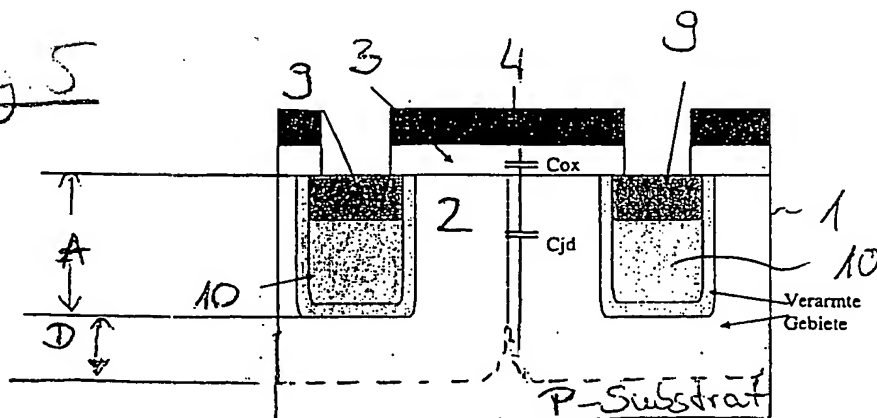


Fig. 6

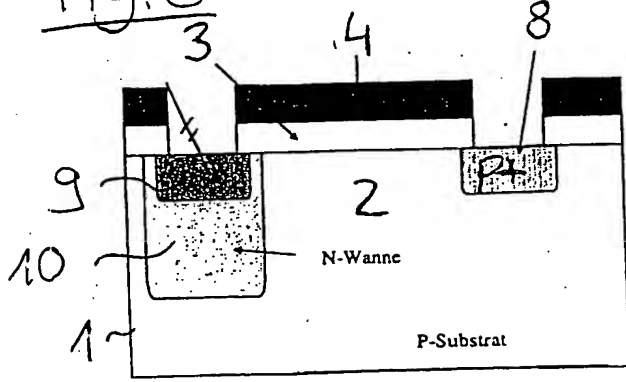


Fig. 7

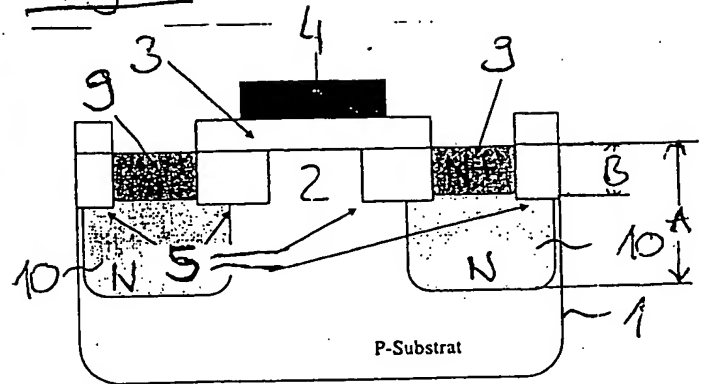


Fig. 8

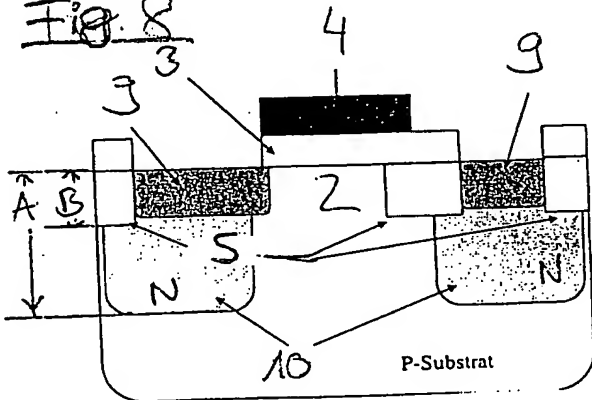


Fig. 9

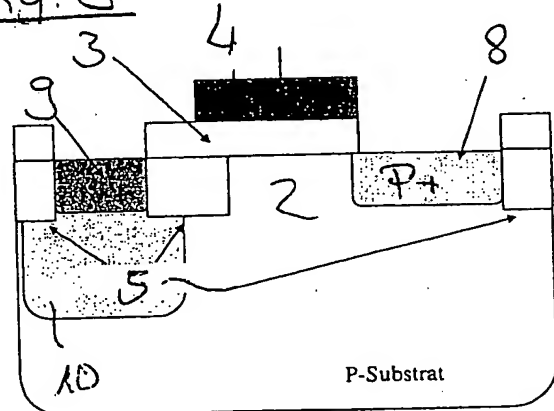


Fig. 10

